

פתרון מוצע לבחינת משה"ח אלקטרוניקה ומחשבים ה'

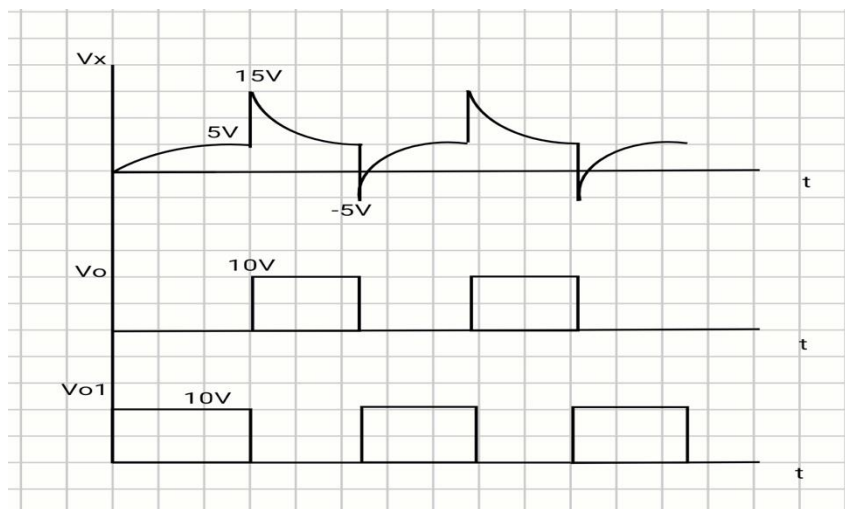
מועד אביב תשע"ט, חודש מרס שנה 2019

מחברים: מר חביב אלי ומר גורביץ גרג – מכללת הרמלין

פרק ראשון: אלקטרוניקה ספרתית

שאלה 1

א.



1-ב.

חישוב זמן מחזור חיובי ב \$V_o\$ ע"י משוואת דפקים הבאה ל \$V_x\$

$$V_x(t) = V_{\infty-} - (V_{\infty-} - V_{o+}) * e^{-t/\tau}$$

$$V_{\infty-} = 0V \quad V_{o+} = 15V$$

$$\tau = R3 * C = 4ms$$

$$t = 4.4ms$$

חישוב זמן מחזור אפס ב V_o , קבוע הזמן טאו יהיה הפעם

$$\tau = R1 \parallel R3 * C = 8ms$$

$$V_x(t) = V_{\infty} - (V_{\infty} - V_{o+}) * e^{-t/\tau}$$

$$V_{o+} = -5$$

$$10V = V_{\infty}$$

$$t = 8.8ms$$

ג. 1

חישוב תדר במצב מתמיד

$$f = \frac{1}{4ms + 8ms} = 83Hz$$

חישוב duty cycle

$$\text{duty cycle} = \frac{4ms}{4ms + 8ms} = 0.33$$

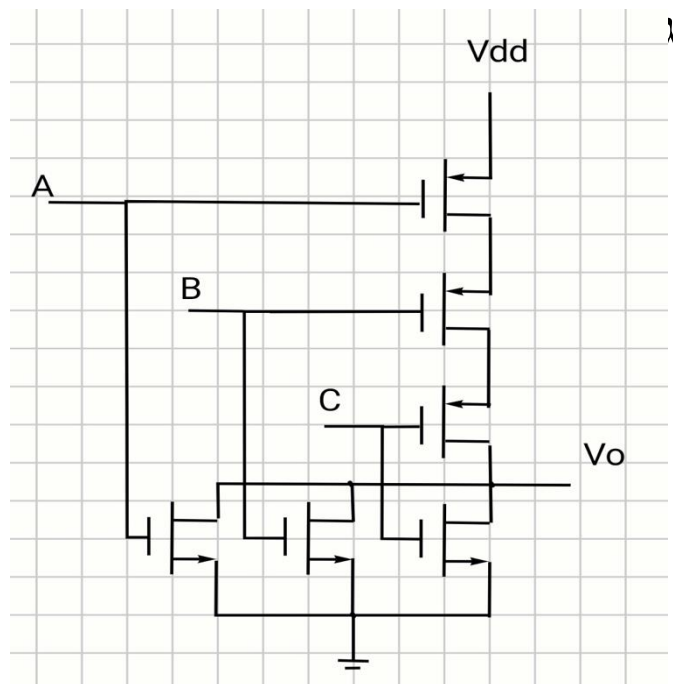
ג. 1

תפקיד הדיודה לאפשר דיוטי סייקל שונה מ 50%

שאלה 2
1.א.

A	B	q1	q2	q3	q4	q5	q6	Vo1	Vo
0	0	off	on	on	off	off	on	1	0
0	1	on	on	off	off	on	off	0	1
1	0	off	off	off	on	on	off	0	1
1	1	off	off	off	on	on	off	0	1

שער OR כלומר $V_o = A+B$



שאלה 3

א.

- 8 - כניסת אות שעון, בעליית השעון מבוצעת הזזה באוגר, כאשר ל Qa יוכנס ערך '0' או '1' לפי הטבלה המצורפת
- 9 - כניסת אות איפוס אסינכרוני, אקטיבי ב '0' ויגרום לאיפוס כל יציאות האוגר

ב. לפי הטבלה, רק כאשר A ו B ב '1' Qa יהיה '1' ולכן

$$Qa = A * B$$

ג.

פולס שעון מספר	qa	qb	qc	qd	qe	qf	qg	qh
4	1	0	0	0	0	0	0	0
5	1	1	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0
7	1	0	1	1	0	0	0	0
8	0	1	0	1	1	0	0	0
9	0	0	1	0	1	1	0	0
10	0	0	0	1	0	1	1	0
11	0	0	0	0	1	0	1	1
12	0	0	0	0	0	0	0	0

שאלה 4
א + ב

טבלת מצבים ומעברים, שלוש שורות אחרונות הינם מצבים לא מוגדרים

P.S. Q2 Q1 Q0			N.S. Q2 Q1 Q0			J2	K2	J1	K1	J0	K0
0	0	0	0	0	1	0	x	0	x	1	x
0	0	1	0	1	0	0	x	1	x	x	1
0	1	0	1	0	0	1	x	x	1	0	x
1	0	0	1	1	0	x	0	1	x	0	x
1	1	0	0	1	0	x	1	x	0	0	x
0	1	1				x	x	x	x	x	x
1	0	1				x	x	x	x	x	x
1	1	1				x	x	x	x	x	x

ג. משוואות מצומצמות

$$\begin{aligned}
 J0 &= \neg Q2 * Q1 & K0 &= '1' \\
 J1 &= Q2 & K1 &= \neg Q2 \\
 J2 &= Q1 & K2 &= Q1
 \end{aligned}$$

פרק ב- VHDL

שאלה 5

לאחר שינוי קל בנתונים:

```
library ieee;
use ieee.std_logic_1164.all;

entity myand is
port(a, b : in std_logic;
      y    : out std_logic);
end entity;

architecture arch_myand of myand is
begin
    Y<=a and b;
end architecture;

library ieee;
use ieee.std_logic_1164.all;

entity myor is
port(a, b : in std_logic;
      y    : out std_logic);
end entity;

architecture arch_myor of myor is
begin
    Y<=a or b;
end architecture;

library ieee;
use ieee.std_logic_1164.all;

entity myor is
port(a, b : in std_logic;
      y    : out std_logic);
end entity;

architecture arch_myor of myor is
begin
    Y<=a or b;
end architecture;
```

(א)

```

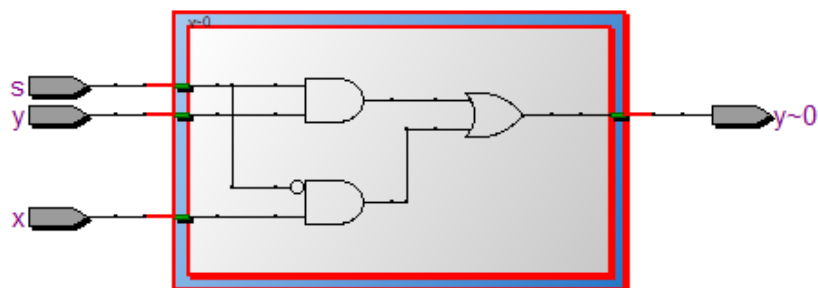
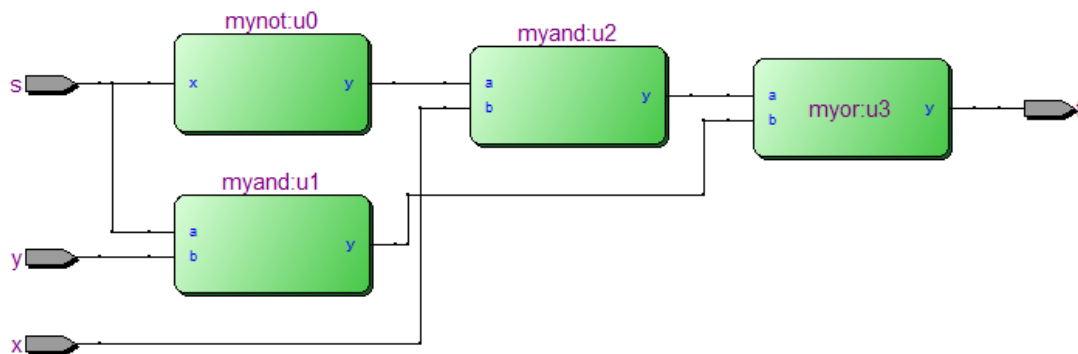
library ieee;
use ieee.std_logic_1164.all;

entity main is
port(x,y,s : in std_logic;
      f      : out std_logic);
end entity;

architecture arch_main of main is
  component myand is
  port(a, b : in std_logic;
        y   : out std_logic);
  end component;
  component myor is
  port(a, b : in std_logic;
        y   : out std_logic);
  end component;
  component mynot is
  port(x : in std_logic;
        y : out std_logic);
  end component;
  signal sigA, sigB, sigC : std_logic;
begin
  u0: mynot port map(s, sigA);
  u1: myand port map(s, y, sigB);
  u2: myand port map(sigA, x, sigC);
  u3: myor  port map(sigC, sigB, f);
end architecture;

```

(ב)



האם זיהית את מרכיב 2 ל-1!?

שאלה 6

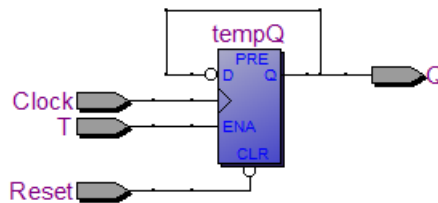
לאחר שינוי קל בנתונים:

```
library ieee;
use ieee.std_logic_1164.all;

entity tarB is
port(Clock, Reset, T : in std_logic;
      Q : out std_logic);
end entity;

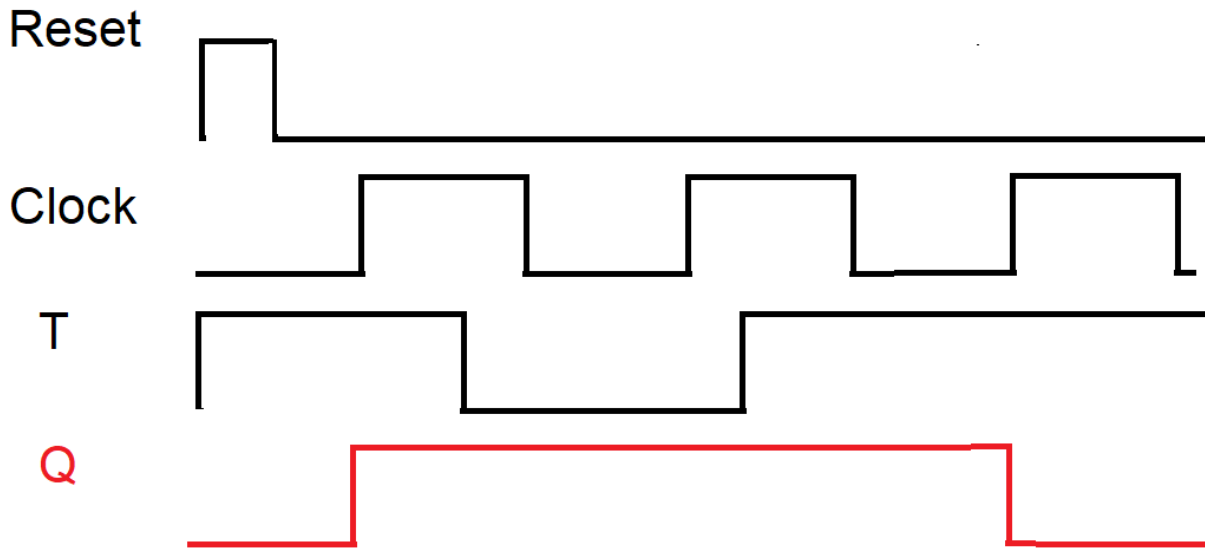
architecture arch_tarB of tarB is
begin
  process(Clock,Reset)
  variable tempQ : std_logic;
  begin
    if Reset='0' then
      tempQ := '0';
    elsif rising_edge(Clock) then
      if T='1' then
        tempQ:= not tempQ;
      end if;
    end if;
    Q<=tempQ;
  end process;
end architecture;
```

האם זיהית את דלגלג מסוג T ?



א) שורה 12 המתייחסת ל-'E=1' או בתנאי שמשמשים ב-std_logic (rising_edge(Clock) בודקת האם מתרחשת עלייה של דופק השעון

(ב) דיאגרמת זמנים



ג) ניתן להעביר שורות 10 ו-11 לאחר שורה 12 (כמובן עם תיקונים בקוד). במצב כזה Reset אסינכרוני גהפך לסינכרוני, כלומר Reset ישפיע אך ורק בעליות של דופק השעון.

שאלה 7

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity Q7 is
port(Clock, Reset, UpDown : in std_logic;
      Q : out std_logic_vector(3 downto 0));
end entity;

architecture arch_Q7 of Q7 is
begin
  process(Clock,Reset)
    variable tempQ : std_logic_vector(3 downto 0);
  begin
    if Reset='0' then
      tempQ := "0000";
    elsif rising_edge(Clock) then
      if UpDown='0' then
        if tempQ>0 then
          tempQ:= tempQ-1;
        else
          tempQ:="1001";
        end if;
      else
        if tempQ<9 then
          tempQ:= tempQ+1;
        else
          tempQ:="0000";
        end if;
      end if;
    end if;
    Q<=tempQ;
  end process;
end architecture;
```

שאלה 8

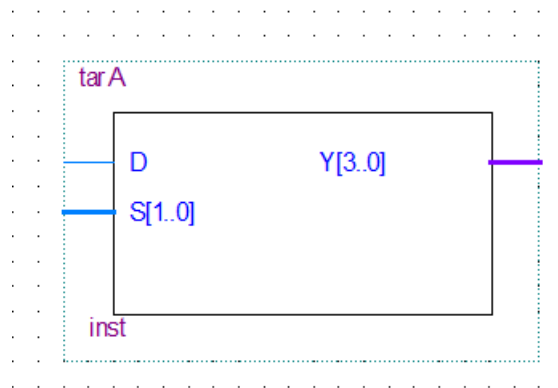
לאחר שינוי קל בנתונים:

```
library ieee;
use ieee.std_logic_1164.all;

entity tarA is
port(D : in std_logic;
      S : in std_logic_vector(1 downto 0);
      Y : out std_logic_vector( 3 downto 0));
end entity;

architecture arch_tarA of tarA is
begin
  Y(3) <= D when S="11" else '0';
  Y(2) <= D when S="10" else '0';
  Y(1) <= D when S="01" else '0';
  Y(0) <= D when S="00" else '0';
end architecture;
```

(א) בשורה 10 מתבצעת התניה מקבילית: במידה ו-S=3 ו-Y(3) מקבל את ערכו של D, אזרת הוא מקבל 0
(ב)

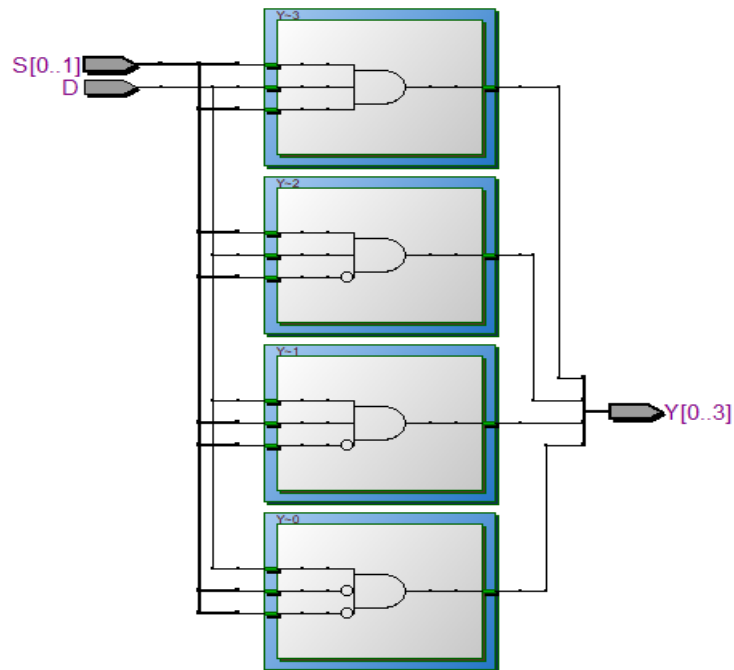


(ג)

S	Y(3)	Y(2)	Y(1)	Y(0)
0	0	0	0	D
1	0	0	D	0
2	0	D	0	0
3	D	0	0	0

(ד)

האם זיהית את מפלג!?



ניתן לממשו בצורה שונה:

```
process (D, S)
    variable tempY : std_logic_vector(3 downto 0);
begin
    tempY := "0000";
    tempY(conv_integer(S)) := D;
    Y <= tempY;
end process;
```

כמובן, יש להוסיף:

```
use ieee.std_logic_unsigned.all;
```